

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-367377
 (43)Date of publication of application : 20.12.2002

(51)Int.CI. G11C 11/418
 G11C 11/413

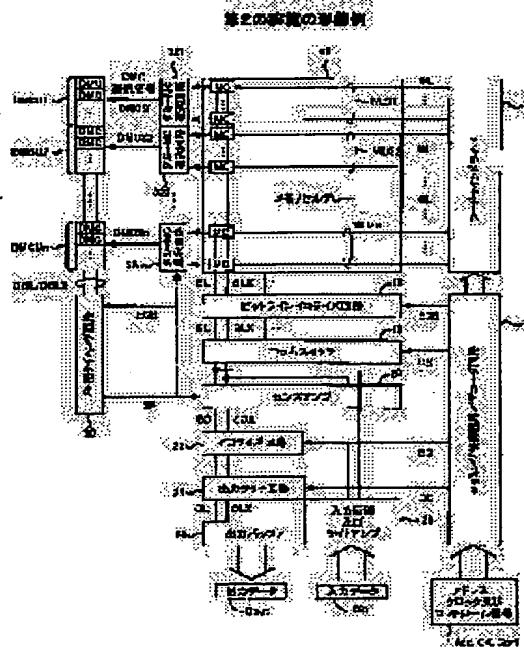
(21)Application number : 2001-177049 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 12.06.2001 (72)Inventor : YOKOZEKI WATARU

(54) STATIC RAM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a SRAM having a dummy circuit in which power consumption is less and a control signal can be generated with optimum timing.

SOLUTION: In a static RAM having a memory cell array (10) having memory cells MC arranged at intersection positions of word lines WL and bit lines BL, BLX and a sense amplifier amplifying voltage of the bit lines, the RAM has dummy memory cells DMC selected at the time of selecting a word line. Dummy bit lines DBL, DBLX connected to the dummy memory cells, a timing signal generating circuit (30) generating a timing control signal responding to potential variation of the dummy bit lines, and a dummy memory cell selecting circuit (32) selecting the dummy memory cell being common to the word line group responding to selection of the word line in word line groups having a plurality of word lines.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-367377
(P2002-367377A)

(43)公開日 平成14年12月20日(2002. 12. 20)

(51) Int.Cl.⁷
G 1 1 C 11/418
11/413

識別記号

F I
G 11 C 11/34

テーマコード（参考）

301B 5B015
302A

審査請求 未請求 請求項の数10 O L (全 19 頁)

(21)出願番号 特願2001-177049(P2001-177049)

(22)出願日 平成13年6月12日(2001.6.12)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 横関 亘

神奈川県川崎市中原区上小
1号 富士通株式会社内

(74) 代理人 100094525

弁理士 土井 健二 (外1名)

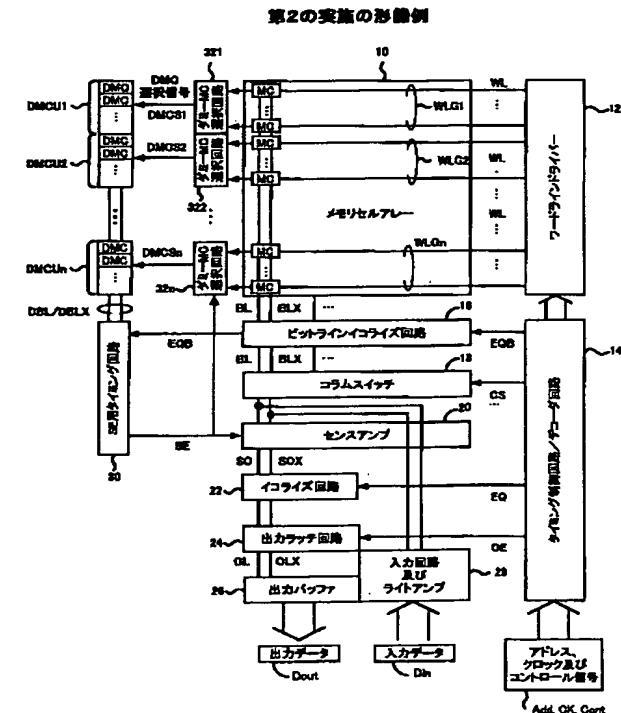
Fターム(参考) 5B015 JJ03 JJ24 KA13 KA28 KA34
KA38 KB20 KB22 KB50 KB89

(54) [発明の名称] スタティックRAM

(57) 【要約】

【課題】消費電力が少なく最適のタイミングで制御信号を生成することができるダミー回路を有するSRAMを提供する。

【解決手段】ワード線WLとビット線BL, BLXとの交差位置に配置されたメモリセルMCを有するメモリセルアレイ(10)と、前記ビット線の電圧を増幅するセンスアンプとを有するスタティック型RAMにおいて、前記ワード線が選択される時に選択されるダミーメモリセルDMCと、該ダミーメモリセルに接続されたダミービット線DBL, DBLXと、前記ダミービット線の電位変化に応答してタイミング制御信号を生成するタイミング信号生成回路(30)と、複数のワード線を有するワード線群内の当該ワード線選択に応答して、当該ワード線群に共通の前記ダミーメモリセルを選択するダミーメモリセル選択回路(32)とを有することを特徴とする。



【特許請求の範囲】

【請求項1】ワード線とビット線との交差位置に配置されたメモリセルを有するメモリセルアレイと、前記ビット線の電圧を増幅するセンスアンプと、前記ワード線が選択される時に選択されるダミーメモリセルと、該ダミーメモリセルに接続されたダミービット線と、前記ダミービット線の電位変化に応答してタイミング制御信号を生成するタイミング信号生成回路と、複数の前記ワード線を有するワード線群を入力とし、前記ワード線群内の少なくとも1つのワード線の選択に応答して、該ワード線群に共通の前記ダミーメモリセルを選択するダミーメモリセル選択回路とを有することを特徴とするスタティックRAM。

【請求項2】請求項1において、外部からクロックが供給され、前記クロックに同期してアドレスが供給されることを特徴とするスタティックRAM。

【請求項3】請求項1において、前記タイミング制御信号は、前記センスアンプを起動するセンスアンプ起動信号を含むことを特徴とするスタティックRAM。

【請求項4】請求項1において、前記ダミーメモリセルは、メモリセルアレイ内のメモリセルと同じピッチで設けられ、複数の前記ダミーメモリセルによりダミーセルユニットが構成され、前記ダミーメモリセル選択回路は、前記ダミーセルユニット内の複数のダミーメモリセルを同時に選択することを特徴とするスタティックRAM。

【請求項5】請求項4において、前記ダミーメモリセルは、ダミービット線に沿って配置され、前記ダミーセルユニット内の複数のダミーメモリセルが同時に選択されることにより、ダミービット線を並列に駆動することを特徴とするスタティックRAM。

【請求項6】請求項1において、前記メモリセルアレイは、複数のワード線群を有し、前記ワード線群それぞれに対応して、ダミーメモリセル選択回路とダミーセルユニットとが設けられることを特徴とするスタティックRAM。

【請求項7】請求項1または4において、前記ダミーメモリセルは、2つのインバータを交差接続したラッチ回路を有し、当該ラッチ回路の1対のノードの一方が、高レベルまたは低レベルの電源に接続されていることを特徴とするスタティックRAM。

【請求項8】請求項1において、前記ダミーメモリセル選択回路と前記ダミーメモリセルとの間に、前記ダミーセルユニットに属するダミーメモリセルの個数を可変設定するダミーセルユニット設定回路が設けられることを特徴とするスタティックRAM。

【請求項9】ワード線とビット線との交差位置に配置されたメモリセルを有するメモリセルアレイと、センスアンプ起動信号に応答して、前記ビット線の電圧を増幅するセンスアンプと、前記メモリセルアレイに並んでビッ

ト線方向に配置された複数のダミーメモリセルと、該複数のダミーメモリセルに並列に接続されたダミービット線と、前記ダミービット線の電位変化に応答して前記センスアンプ起動信号を生成するタイミング信号生成回路と、前記ワード線の選択に応答して、複数の前記ダミーメモリセルを同時に選択するダミーメモリセル選択回路とを有することを特徴とするスタティックRAM。

【請求項10】請求項9において、前記メモリセル内のワード線が、複数のワード線を有するワード線群に分割され、当該ワード線群それぞれに対して、前記ダミーメモリセル選択回路が設けられていることを特徴とするスタティックRAM。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スタティックRAMに関し、特に、センスアンプなどの駆動制御信号のタイミングを最適化したクロック同期型SRAMに関する。

【0002】

【従来の技術】スタティックRAM(以下SRAM)は、メモリセルにCMOSインバータを交差接続したラッチ回路を有し、電源が投入されている限り記憶データを保持することができる高速の半導体メモリである。メモリセルのラッチ回路によりデータが常時保持され、DRAMのような定期的なリフレッシュ動作を不要とする。近年の高速SRAMの一つに、クロック同期型SRAMがある。このクロック同期型SRAMは、クロックに同期してアドレスとコントロール信号が供給され、クロックのタイミングに従って内部回路が動作し、クロック供給から所定のアクセスタイム後にデータが出力される。

【0003】また、クロック非同期型SRAMは、外部からクロックの供給はないが、入力されるアドレスの変化を検知することで、内部回路動作が開始される。

【0004】SRAMの内部動作は、概ね次の通りである。最初に、クロック同期型ではクロックに同期して入力されるアドレスがデコードされワード線が駆動される。ワード線の駆動に伴いメモリセルがビット線を駆動し、ビット線間に発生した電圧差が、センスアンプにより増幅される。そして、センスアンプにより増幅されたデータが出力バッファから出力される。読み出し動作が終了すると、ビット線対やセンスアンプ出力対が短絡され電源電圧にブリッヂされる。

【0005】上記の内部動作は、タイミング制御回路により生成されるタイミング制御信号により制御される。特に、センスアンプ起動信号は、メモリセルによりビット線が駆動され、ビット線間に所定の電圧差が生成された後の最短のタイミングで生成されることが望まれる。しかし、メモリセルの駆動能力は、プロセスのバラツキなどに起因してバラツキを伴うため、センスアンプ起動信号は、ワード線の活性化から十分なタイミングマージ

ンを設けて生成される。メモリセルの駆動能力が低い方にはばらついてビット線間に所定の電圧差が生成されるタイミングが遅れても、このタイミングマージンによりセンスアンプが誤動作しないようになる。

【0006】上記のようにビット線起動信号のタイミングに十分なマージンを設けることにより、SRAMの特徴である高速性が損なわれる。かかる問題を解決する方法として、ワード線、メモリセル、ビット線のダミー回路を設け、かかるダミー回路を利用してセンスアンプ起動信号を生成するセルフタイミング方式が提案されている。

【0007】図1は、かかるダミー回路を利用した従来のSRAMの構成図である。この例では、クロックCKに同期して入力されるアドレスAddとコントロール信号Contとが、タイミング制御回路及びデコーダ回路14によりデコードされ、タイミング信号EQB, CS, EQ, OEが生成される。デコーダ回路で選択されたワード線WLがワードラインドライバ12により駆動され、メモリセルアレイ10内のメモリセルMCを選択する。それに応じて、メモリセルMCがビット線対BL, BLXを駆動し、コラムスイッチ18により選択されたビット線対がセンスアンプ20により増幅される。センスアンプ出力SO, SOXは、アウトプットインエーブル信号OEのタイミングで出力ラッチ回路24によりラッチされ、出力ラインOL, OLXを介して出力バッファ26に出力され、出力データDoutが出力される。その後、ビット線対はビット線イコライズ回路16によりビット線イコライズ信号EQBのタイミングで短絡され、電源電圧までプリチャージされる。同様に、センスアンプ出力SO, SOXもイコライズ信号EQのタイミングで短絡され、プリチャージされる。書き込み時は、入力データDinが入力回路及びライトアンプ28に入力され、ライトアンプから選択されたビット線対が駆動される。

【0008】この従来例では、メモリセルアレイ10内のワード線WLとは別にダミーワード線DWLが、通常のメモリセルMCとは別にダミーメモリセルDMCが、そして、通常のビット線対BL, BLXとは別にダミービット線対DBL, DBLXがそれぞれ設けられる。ダミーワード線DWLには負荷用のダミーセルDMCWが、ダミービット線対DBL, DBLXには負荷用のダミーセルDMCBが設けられる。これにより、通常のワード線WLが駆動される時にダミーワード線DWLも駆動され、通常のビット線対に所定の電圧差が生成されるタイミングに合わせて、ダミービット線対DBL, DBLXにも同様の電圧差が生成される。従って、SE用タイミング回路30が、ダミービット線対DBL, DBLXの電圧差に応答してセンスアンプ起動用信号SEを生成することで、センスアンプ20を最適のタイミングで起動させることができる。

【0009】プロセスのバラツキなどにより、メモリセルの駆動能力にバラツキが生じても、ダミーメモリセルDMCに同様のバラツキが生じるので、かかるプロセスバラツキに対応した最適のタイミングでセンスアンプ起動

用信号SEを生成することができる。

【0010】

【発明が解決しようとする課題】上記の従来例は、ダミーワード線DWL、ダミーメモリセルDMC、ダミービット線対DBL, DBLXを含むダミー系の回路が毎サイクルアクセスされるため、ワード線、メモリセル、ビット線対を含む通常回路系に比べて、ダミー系回路のトランジスタ及び配線の信頼性が低下するという問題がある。例えば、メモリセルアレイ10に512本のワード線WLがあれば、通常ワード線WLの動作率は1/512である。それに対して、ダミーワード線DWLは毎サイクルアクセスされるので、動作率は1である。このようにダミーワード線の駆動頻度が高いことに伴い、ダミーワード線により制御されるダミーメモリセル内のトランスマッピングゲートトランジスタは、ダミーワード線の駆動により毎サイクル導通状態に制御される。かかる制御により、トランスマッピングゲートトランジスタは、ホットキャリア劣化などにより、駆動能力が低下し、ダミー系回路により生成されるセンスアンプ起動信号SEのタイミングに遅れが生じる。

【0011】更に、上記の従来例は、ダミー系回路が毎サイクル動作し、ダミーワード線が通常ワード線とは別に駆動されるので、消費電力の増大を招く。つまり、通常動作において、通常ワード線WLと共にダミーワード線DWLも同時に駆動されるので、その分消費電力が増大する。

【0012】図2は、別のダミー回路を利用した従来のSRAMの構成図である。図1と同じ引用番号が与えられている。この従来例では、ダミーワード線を設けずに、全ての通常ワード線WLがメモリセルアレイ10の左側に設けたダミーメモリセルDMCに接続される。従って、ダミーメモリセルDMCがダミービット線対DBL, DBLXに沿って、通常メモリセルMCと同様に配置される。

【0013】この例は、ダミーワード線が省略されているので、その分だけ消費電力の増大を抑えることができる。しかも、ダミーメモリセルDMCが毎サイクルアクセスされることもないため、信頼性を低下することも防止できる。

【0014】しかしながら、全てのワード線がダミーメモリセルに接続されているので、ダミーメモリセルDMCを通常メモリセルMCと同様のピッチで配置することが必要である。そのため、複数のダミーメモリセルDMCでダミービット線対DBL, DBLXを駆動しても、通常のビット線対BL, BLXより動作を速くすることができず、センスアンプ起動信号SEに最適のタイミングを与えることが困難になる。つまり、センスアンプ起動信号SEを最適のタイミングで生成するためには、SE用タイミング回路に供給されるダミービット線対の電圧変動を、通常のビット線対の電圧変動よりも多少速くすることが望ましい。そして、ダミービット線対の動作を通常ビット線対よりも速

くするためには、ダミーメモリセルの駆動能力を通常メモリセルより高めることが求められる。しかし、ワード線WL毎にダミーメモリセルDMCを配置する図2の例では、かかる構成は困難である。

【0015】その対策として、ダミーメモリセルDMCをワード線WL方向に並列に配置することが考えられるが、かかる配置に伴い、ダミーピット線対の負荷容量が高くなり、それほどの高速化を達成することはできない。

【0016】そこで、本発明の目的は、消費電力が少なく最適のタイミングで制御信号を生成することができるダミー回路を有するSRAMを提供することにある。

【0017】本発明の別の目的は、制御信号のタイミングを微調整でき、且つプロセスバラツキに連動した最適のタイミングで制御信号を生成するダミー回路を有するSRAMを提供することにある。

【0018】

【課題を解決するための手段】上記の目的を達成するために、本発明の一つの側面は、ワード線とピット線との交差位置に配置されたメモリセルを有するメモリセルアレイと、前記ピット線の電圧を増幅するセンスアンプとを有するスタティックRAMにおいて、前記ワード線が選択される時に選択されるダミーメモリセルと、該ダミーメモリセルに接続されたダミーピット線と、前記ダミーピット線の電位変化に応答してタイミング制御信号を生成するタイミング信号生成回路と、複数のワード線を有するワード線群内の当該ワード線選択に応答して、当該ワード線群に共通の前記ダミーメモリセルを選択するダミーメモリセル選択回路とを有することを特徴とする。

【0019】上記の発明は、ワード線群内の複数のワード線がダミーメモリセルを共有し、ワード線群内のいすれかのワード線の選択に応答して、対応するダミーメモリセルが選択される。ダミーメモリセルは、選択時にダミーピット線を駆動してその電位を変化させる。そして、タイミング信号生成回路は、ダミーピット線の電位変化に応答して、少なくともセンスアンプを起動するセンスアンプ起動信号を生成する。従って、第1にダミーワード線を省略することができ、消費電力の増大を抑えることができ、第2に複数のワード線に対して共通のダミーメモリセルを設けるので、同時に選択されるダミーメモリセルの個数を複数にすることができ、最適のタイミングでセンスアンプ起動信号を生成することができる。

【0020】上記の発明において、より好ましい実施例では、ダミーメモリセルは、通常のメモリセルと同等のディメンジョンで実現され、ダミーピット線に並列に接続して構成される。更に、複数のダミーメモリセルによってダミーセルユニットが構成され、ダミーセルユニットに属するダミーメモリセルは同時に選択される。かかる構成にすることで、複数のダミーメモリセルが同時に選択されるので、ダミーピット線を高い駆動能力で駆動

することができ、それに伴いダミーピット線の電位変化を通常ピット線よりも速くすることができる。従って、タイミング信号生成回路は、より適したタイミングでセンスアンプ起動信号を生成することができる。しかも、ダミーメモリセルは通常のメモリセルと同じレイアウトで実現することができる。

【0021】上記の発明において、より好ましい実施例では、ダミーメモリセルは、2つのインバータを交差接続したラッチ回路を有し、当該ラッチ回路の1対のノードの一方が、高レベルまたは低レベルの電源に接続されている。かかる構成にすることで、ダミーメモリセルによるダミーピット線対の駆動形態が、常に同じになり、タイミング信号生成回路の構成を簡単化することができる。特に、ダミーセルユニット内の複数のダミーメモリセルが同時に選択される場合、当該ダミーメモリセル内のラッチ回路は、1対のノードの一方が同じレベルの電源に接続されているので、選択時のダミーピット線対の駆動が全て同じになる。それにより、同時に選択された時、ダミーピット線対を駆動する複数のダミーメモリセルの競合動作が防止される。

【0022】上記の発明において、より好ましい実施例では、メモリセルアレイに設けられた複数のワード線が複数のワード線群に分割され、当該ワード線群に対応して、複数のダミーメモリセル選択回路が設けられる。このように、ダミーメモリセル選択回路を複数にすることで、ダミーメモリセル選択回路に入力されるワード線本数を減らすことができ、当該ダミーメモリセル選択回路の回路規模を小さく抑えることができる。

【0023】上記の発明において、より好ましい実施例では、ダミーセルユニットに属するダミーメモリセルの個数を可変設定するダミーセルユニット設定回路が設けられる。このダミーセルユニット設定回路では、第1に外部からの制御信号により、一つのダミーセルユニット内のダミーメモリセルの個数を可変設定できる構成とする。別の構成としては、レーザビームなどにより切断可能なROMの記憶信号によりダミーメモリセルの個数が可変設定可能となる。更に別の構成としては、配線層のマスクパターンによるメタルオプションによりダミーメモリセルの個数が可変設定可能となる。

【0024】上記の目的を達成するため、本発明の別の側面によれば、クロックに同期してアドレスが供給されるスタティックRAMにおいて、ワード線とピット線との交差位置に配置されたメモリセルを有するメモリセルアレイと、前記ピット線の電圧を増幅するセンスアンプと、前記ワード線が選択される時に選択されるダミーメモリセルと、該ダミーメモリセルに接続されたダミーピット線と、前記ダミーピット線の電位変化に応答してタイミング制御信号を生成するタイミング信号生成回路と、複数の前記ワード線を有するワード線群を入力とし、前記ワード線群内の少なくとも1つのワード線の選

択に応答して、該ワード線群に共通の前記ダミーメモリセルを選択するダミーメモリセル選択回路とを有することを特徴とする。

【0025】上記の目的を達成するために、本発明の更に別の側面によれば、クロックに同期してアドレスが供給され、動作サイクルがクロックにより制御されるスタティックRAMにおいて、ワード線とビット線との交差位置に配置されたメモリセルを有するメモリセルアレイと、センスアンプ起動信号に応答して、前記ビット線の電圧を増幅するセンスアンプと、前記メモリセルアレイに並んでビット線方向に配置された複数のダミーメモリセルと、該複数のダミーメモリセルに並列に接続されたダミービット線と、前記ダミービット線の電位変化に応答して前記センスアンプ起動信号を生成するタイミング信号生成回路と、前記ワード線の選択に応答して、複数の前記ダミーメモリセルを同時に選択するダミーメモリセル選択回路とを有することを特徴とする。

【0026】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、本発明の保護範囲は、以下の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【0027】図3は、第1の実施の形態例におけるSRAMの構成図である。このSRAMは、複数のワード線WLと複数のビット線対BL,BLXと、それらの交差位置にマトリクス配置されたメモリセルMCとを有するメモリセルアレイ10が設けられる。メモリセルMCは、図示しないが、6個のトランジスタを有し、2個のAMOSインバータを交差接続してラッチ回路を構成し、ラッチ回路の1対のノードが2個のトランジスタを介してビット線対に接続される。更に、トランジスタのゲートは、ワード線WLに接続される。

【0028】同期型SRAMは、従来例で説明したとおり、クロックCKに同期してアドレスAddとコントロール信号Controlとが供給される。それに応答してデコーダ回路14は、行アドレスをデコードして選択信号をワードラインドライバ12に供給する。また、デコーダ回路14は、列アドレスをデコードしてコラム選択信号CSを生成する。ワードラインドライバ12は、選択信号に応答して、対応するワード線WLを駆動する。ワード線の駆動に伴い、選択ワード線に接続されたメモリセルMCが選択され、トランジスタが導通し、ビット線対BL,BLXがメモリセル内のラッチ回路により駆動される。それに伴い、ビット線対には一定の電位差が生成される。

【0029】コラム選択信号CSによりコラムスイッチ18が選択され、対応するビット線対がセンスアンプ20に接続される。センスアンプ20は、タイミング信号発生回路30が発生するセンスアンプ起動信号SEに応答し

て、ビット線対BL,BLXの電圧を増幅する。そして、センスアンプ20の出力対SO,SOXは、タイミング制御回路14が生成するアウトプットイネーブル信号OEに応答して、出力ラッチ回路24にラッチされ、その出力ラッチ信号OL,OLXが出力バッファ26に供給される。その後、出力バッファ26は、出力データDoutを出力する。

【0030】一連の読み出し動作が終了すると、ビット線イコライズ信号EQBに応答してビット線イコライズ回路16がビット線対を短絡して、電源電圧レベルにプリチャージする。同様に、イコライズ回路22が、イコライズ信号EQに応答してセンスアンプ出力線SO,SOXの電位をイコライズする。

【0031】さて、図3の第1の実施の形態例では、メモリセルアレイ10の左側に、通常のメモリセルMCと同様のレイアウトにより、ダミーメモリセルDMCがダミービット線対DBL,DBLXに沿って設けられる。そして、複数のワード線WLを入力とし、それらのワード線の内、いずれかのワード線が選択されたことに応答して、ダミーメモリセル選択信号DMCSを出力するダミーメモリセル選択回路32が設けられる。ダミーメモリセル選択信号DMCSに応答して、ダミーメモリセルDMCが選択される。従って、複数のワード線に対してダミーメモリセルが共有される。

【0032】それに伴い、ダミーメモリセル選択信号DMCSにより選択されるダミーセルユニットDMCUが、複数のダミーメモリセルDMCで構成される。また、複数のワード線WLがダミーメモリセルユニットを共有することになる。つまり、このダミーメモリセルDMCは、通常のメモリセルと同じレイアウトにより配置されるが、同時に選択されるダミーメモリセルは複数個になる。

【0033】このように、ダミーセルユニットDMCUは、複数のダミーメモリセルDMCを有し、それらのダミーメモリセルを同時に選択することで、ダミービット線対DBL,DBLXを複数のダミーメモリセルによって並列に駆動することができる。従って、ダミーセルユニットDMCUは、通常のメモリセルMCよりも駆動能力が高くなり、ダミービット線対の電位変化を通常のビット線対の電位変化よりも速くすることができる。

【0034】それに伴い、センスアンプ起動信号SEを生成するSE用タイミング回路30は、余裕を持って最適なタイミングのセンスアンプ起動信号SEを生成することができる。従って、ダミーセルユニット内のダミーメモリセルDMCの数は、上記の動作を実現できる程度の数であれば良く、設計仕様に応じて、ダミーメモリセルの数が変更設定されることが望ましい。また、ダミービット線対DBL,DBLXには、負荷用のダミーメモリセルDMCBも設けられ、ダミーセルユニット内のダミーメモリセルの数に応じて、この負荷用ダミーメモリセルの個数が調整され、ダミービット線対に付加される負荷容量が、通常ビット線対と同程度になるようにデザインされる。

【0035】第1の実施の形態例において、ダミーメモリセル選択回路32は、ワード線WLを入力とする論理和回路である。論理和回路は、通常、複数のNORゲートとその出力を入力する単一のNANDゲートで構成される。この論理和回路の構成は後述する。

【0036】上記の第1の実施の形態例では、メモリセルアレイ10内のいずれかのワード線WLが選択されて駆動されると、ダミーメモリセル選択回路32がダミーメモリセル選択信号DMCSを生成し、ダミーセルユニットDMCU内の複数のダミーメモリセルDMCを選択する。それに伴い、ダミービット線対DBL,DBLXが駆動され、その電位変化に応答して、SE用タイミング回路30がセンスアンプ起動信号SEを発生する。このSE用タイミング回路30が、タイミング制御信号発生回路である。

【0037】図4は、第2の実施の形態例におけるSRAMの構成図である。図3と同じ箇所には同じ引用番号を与えている。第1の実施の形態例では、メモリセルアレイ内の全てのワード線WLに対して、単一のダミーセルユニットDMCUを設けた。しかし、かかる構成にすると、ダミーメモリセル選択回路の入力数が膨大になり、回路が大規模化する。回路の大規模化は、回路の素子効率を低減させ、ダミーメモリセル選択信号の遅延を招く。また、ダミーメモリセルDMCの選択頻度が高くなり、信頼性の劣化を招くことになる。

【0038】そこで、第2の実施の形態例では、メモリセルアレイ10内のワード線WLを複数のワード線群WLG1～nに分けて、ワード線群WLG1～nそれぞれのに対してダミーメモリセル選択回路321～32nとダミーセルユニットDMCU1～nとを設ける。例えば、メモリセルアレイ10内に512本のワード線WLが設けられる場合は、例えば、8本のワード線WLで一つのワード線群WLGを構成するようとする。それに伴い、ワード線群WLG、ダミーメモリセル選択回路、ダミーセルユニットは、 $512/8 = 64$ 個($= n$)になる。そして、ダミーメモリセル選択回路は、8本のワード線WLを入力とする論理和回路となり、その回路規模が小さくなる。また、ダミーセルユニットDMCUは、最大で8個のダミーメモリセルDMCを有する。

【0039】上記の構成において、ワード線群WLG内に属するワード線WLの一つが選択されると、ダミーメモリセル選択回路321が選択信号DMCS1を出力し、ダミーセルユニットDMCU1に属する複数のダミーメモリセルDMCを同時に選択する。それに伴い、ダミービット線対DBL,DBLXが複数のダミーメモリセルによって駆動され、その電位変化がSE用タイミング回路30に伝播される。

【0040】図5は、第1及び第2の実施の形態例のSRAMにおける動作タイミングチャート図である。同期型SRAMは、クロックCKの立ち上がりから立ち下りまでが1つの動作サイクルである。最初に、クロックCKの立ち上がりに同期して、図示しないアドレスAddとコントロー

ル信号Contが供給される。このクロックCKのタイミング後の時間t1にて、ワード線WLが駆動される。これとほぼ同じタイミングで、コラム選択信号CSも生成される。

【0041】ワード線WLの駆動に伴い、対応するダミーメモリセル選択回路32i($i = 1, 2, 3, \dots$)がダミーメモリセル選択信号DMCSを発生し、対応するダミーセルユニットDMCUを選択する。

【0042】ワード線WLの駆動に伴い、ビット線対BL,BLXがメモリセルMCにより駆動される。ビット線対BL,BLXは、リセット状態で電源電位にブリッジされており、ワード線駆動に伴い接続されたメモリセル内のラッチ回路が、一方のビット線の電位を引き下げる。同様に、ダミーメモリセル選択信号DMCSに伴い、ダミーセルユニット内の複数のダミーメモリセルDMCがダミービット線DBLXを引き下げる。この時、複数のダミーメモリセルによりダミービット線DBLXを駆動するので、その電位変化は、通常のビット線よりも速い。

【0043】ダミービット線対の電位変化に応答して、時間t2にてSE用タイミング回路30がセンスアンプ起動信号SEを生成する。このセンスアンプ起動信号SEに応答して、センスアンプ20が選択されたビット線対の電位差を増幅し、センスアンプ出力対SO,SOXの一方をLレベルに引き下げる。センスアンプの回路構成によっては、ビット線対の入力がそのまま出力になる場合があり、その場合は、ビット線対も大振幅に増幅される。但し、図5の例では、ビット線対の電位自体は増幅されていない。

【0044】やがて、タイミング制御回路14が生成するアウトプットイネーブル信号OEに応答して、時刻t3においてセンスアンプ出力対SO,SOXの信号が出力ラッチ回路24によりラッチされる。それに伴い、時間t4にてイコライズ信号EQが生成され、センスアンプ出力対SO,SOXはHレベルにブリッジされ、リセットされる。また、ビット線イコライズ信号EQBに応答して、ビット線対BL,BLXもHレベルにブリッジされ、リセットされる。更に、SE用タイミング回路30にも、ビット線イコライズ回路が内蔵され、ビット線イコライズ信号EQBに応答して、ダミービット線対DBL,DBLXもHレベルにブリッジされ、リセットされる。

【0045】図6は、実施の形態例におけるダミーメモリセルの回路図である。ダミーメモリセルは、通常のメモリセルと同様に選択信号に応答してダミービット線対を駆動することで、通常のメモリセルの駆動能力に対応したタイミングをSE用タイミング回路30に提供する。従って、データを記憶する機能は必要ない。むしろ、本実施の形態例では、ダミーセルユニット内の複数のダミーメモリセルDMCが同時に選択されて、ダミービット線対を並列に駆動するので、その駆動動作は競合を避けるために同じ方向に設定されていることが望ましい。

【0046】そこで、本実施の形態例におけるダミーメ

モリセルは、ラッチ回路の1対のノードの一方が、電源電圧Vccまたはグランドに接続されている。

【0047】図6には、2つのタイプのダミーメモリセルが示されている。図6(A)のダミーメモリセルは、PチャネルトランジスタP1とNチャネルトランジスタN2とで構成される第1のインバータと、トランスマニアP3, N4で構成される第2のインバータとが、入力と出力が交差接続されて、ラッチ回路を構成する。更に、ラッチ回路の1対のノードn01, n02がトランスマニアトランジスタN5, N6を介してダミービット線対DBL, DBLXに接続される。また、トランスマニアN5, N6のゲートは、ダミーメモリセル選択信号DMCSに接続される。ここまで構成は、通常のメモリセルと同じである。そして、ダミーメモリセルでは、ラッチ回路の1対のノードn01, n02の一方のノードn01が、電源電圧Vccに接続され、ラッチ回路のノードn01は常にHレベル、ノードn02は常にLレベルに維持されている。

【0048】かかる構成のダミーメモリセルでは、選択信号DMCSによりトランスマニアN5, N6が導通すると、必ずダミービット線DBLXがLレベルに引き下げられる。

【0049】一方、図6(B)のダミーメモリセルは、2つのラッチ回路を構成する4個のトランジスタP1, N2, P3, N4と、トランスマニアゲートトランジスタN5, N6とは同じであり、ラッチ回路の1対のノードのうちノードn02がグランド電源に接続されている。従って、選択信号DMCSによりトランスマニアN5, N6が導通すると、必ずダミービット線DBLがLレベルに引き下げられる。

【0050】上記のように、ダミーメモリセルのビット線駆動動作を一方に固定することで、複数のダミーメモリセルDMCが同時に選択された場合、ダミーメモリセル間のダミービット線対駆動動作の競合が防止される。また、常に同じダミービット線がLレベルに駆動されるので、SE用タイミング回路30の構成を簡単化することもできる。

【0051】ダミーメモリセルの構成は、図6に示したとおり、いずれでも良いが、図6(A)に示した一方のノードを高いレベルに固定した構成がより好ましい。その理由は、ビット線対及びダミービット線対はリセット状態で高いレベル(電源電圧レベル)にされていて、メモリセルの選択に伴い、Lレベル側のノードに対応するビット線が引き下げられる。その場合、トランスマニアトランジスタが開いた瞬間に、ビット線の負荷容量とメモリセル内のノードの負荷容量とが接続され、カッピング動作によりLレベル側のノードの電位が一時的に上昇する。

【0052】従って、ダミーメモリセルにおいても、一方のノードをグランドに固定するより高いレベルに固定したほうが、Lレベル側のノードの一時的な上昇動作を再現することができ、実際のメモリセルと類似の動作が実現できる。

【0053】図7は、本実施の形態例におけるダミーメモリセルと通常のメモリセルとを示す回路図である。図7では、8本のワード線WL1～WL8に対して4個のダミーメモリセルDMC1～DMC4からなるダミーセルユニットDMCUが設けられる。従って、8本のワード線WL1～WL8によりワード線群が形成され、それらがダミーメモリセル選択回路32に入力される。そして、ワード線群内のいずれかのワード線が選択された時に、ダミーメモリセル選択信号DMCSがHレベルに駆動され、ダミーセルユニットDMCU内の4個のダミーメモリセルDMC1～4が同時に選択され、ダミービット線DBLXを並列にLレベルに駆動する。

【0054】図7に示されたダミーメモリセルDMCは、図6(A)に示したタイプであり、ラッチ回路の一方のノードが電源電圧に固定されている。従って、4個のダミーメモリセルDMC1～4が同時にダミービット線DBLXをLレベル側に駆動する。その結果、通常のメモリセルによるビット線駆動よりも高速にダミービット線DBLXがLレベル側に駆動される。このことは、SE用タイミング回路30が生成するセンスアンプ起動信号SEのタイミングを、通常のビット線対の電圧変化タイミングに整合させることができることを意味する。しかも、4個のダミーメモリセルは一齊に同じ方向に駆動動作を行うので、ダミーメモリセル間に動作の競合はない。

【0055】図8は、第2の実施の形態例における変形例を説明する図である。この変形例では、ダミーセルユニット内のダミーメモリセルの個数を可変設定可能になっている。その為に、図8(A)に示されるとおり、ダミーメモリセル選択回路32i, 32jとダミーメモリセルDMCとの間に、スイッチ群SWが設けられ、それらスイッチ群SWがスイッチ設定回路40により可変設定可能に構成される。即ち、スイッチ群とスイッチ設定回路とでダミーセルユニット設定回路を構成する。

【0056】また、図8(B)に示されるとおり、スイッチ群SWの各スイッチは、導通状態SWaでは、1対のトランスマニアトランジスタP10, N11のゲートがグランドと電源Vccにそれぞれ接続されて、クランプトランジスタN12のゲートがグランドに接続される。その結果、クランプトランジスタN12はオフとなり、トランスマニアトランジスタP10, N11は導通状態になる。それにより、選択回路32の出力がそのままダミーメモリセルDMCに伝えられる。

【0057】一方、スイッチが非導通状態SWbでは、1対のトランスマニアトランジスタP10, N11のゲートが電源Vccとグランドにそれぞれ接続されて、クランプトランジスタN12のゲートが電源Vccに接続される。その結果、クランプトランジスタN12はオンとなり、選択信号DMCSはLレベルにクランプされ、トランスマニアトランジスタP10, N11は非導通状態になる。

【0058】これらのスイッチ群SWの状態は、可変設定可能である。スイッチ設定回路40は、各スイッチ群SW

を構成する3つのトランジスタのゲートにグランドまたは電源電圧を供給する。そして、スイッチ設定回路40には、3ビットの設定信号S1～S3が供給され、それらをデコードして、設定された個数のスイッチをSWaの状態にし、残りのスイッチをSWbの状態にする。図8の例では、スイッチ群の8個のスイッチのうち、4個が導通状態SWaに、残りの4個が非導通状態SWbに設定されている。その結果、ダミーセルユニット内の8個のダミーメモリセルのうち、4個のダミーメモリセルが同時に選択される。

【0059】上記の設定信号S1～S3を可変設定することで、導通状態のスイッチの個数を可変設定できる。設定信号S1～S3は、外部から制御信号として供給されることもできるし、図示しないヒューズROMにより設定することもできる。或いは、配線パターン用のマスクデータを利用したマスクオプションにより、製造ロット毎にダミーメモリセルの個数を設定してもよい。

【0060】ダミーセルユニット内のダミーメモリセルの個数は、デザインの仕様に対応して、適宜選択される。ダミーメモリセルの個数が多ければ、ダミービット線対を駆動する能力が高くなり、SE用タイミング回路30への電圧変化をより速いタイミングにすることができる。一方、ダミーメモリセルの個数が少なければ、より遅いタイミングになる。従って、SE用タイミング回路30の構成や、その他のデザイン仕様に応じて、最適な個数が選択される。

【0061】そして、一旦最適な個数に設定されると、本実施の形態例では、プロセスのバラツキなどによりメモリセルのドライブ能力に変動が生じても、ダミーメモリセルにも同様の変動が生じて、センスアンプ起動信号SEのタイミングを最適に維持することができる。

【0062】図9は、第2の実施の形態例におけるダミーメモリセル選択回路の回路図である。図9の選択回路32は、スタティック型の論理回路であり、通常のCMOSによるNORゲート4'2とNANDゲート4'4とで構成される。3個のNORゲート4'2に8本のワード線が2本、3本、3本ずつ入力され、その出力がNANDゲート4'4に入力される。スタティック型の論理回路では、いずれかの入力がHレベルになれば、NANDゲート4'4の出力もHレベルになり、全ての入力がLレベルになれば、NANDゲート4'4の出力もLレベルになる。従って、ダミーメモリセル選択信号DMCSは、通常のワード線波形と同じように制御される。

【0063】図10は、第2の実施の形態例におけるダミーメモリセル選択回路の別の回路図である。この選択回路32は、1個の負荷用PチャネルトランジスタP20と8個の入力用NチャネルトランジスタN21～N28と、インバータ4'6とを有する。8個の入力用トランジスタN21～N28には、ワード線WLがそれぞれ入力され、いずれかのワード線がHレベルになると、入力用トランジスタが

導通し、インバータ4'6の入力をLレベルにする。それに伴い、インバータ4'6は、Hレベルを選択信号として出力する。全てのワード線がLレベルになると、インバータ4'6の入力がHレベルに戻り、出力の選択信号もLレベルになる。従って、この回路も、8本のワード線の駆動波形と同様の波形の選択信号を生成する。

【0064】図11は、第2の実施の形態例におけるダミーメモリセル選択回路の別の回路図である。この選択回路32は、図10の改良例であり、負荷用PチャネルトランジスタP20の代わりに、インバータ4'6の出力をフィードバックする1対のインバータ4'7、4'8からなるフィードバックバッファを有する。これにより、インバータ4'6の出力がHレベルに立ち上がってから1対のインバータ4'7、4'8の伝播遅延時間後にインバータ4'6の入力をHレベルに戻す。それに伴い、インバータ4'6の出力はLレベルに戻る。従って、インバータ4'6は、いずれかの入力ワード線が立ち上がったことに応答して、インバータ4'7、4'8の伝播遅延時間のパルス幅を有するHレベルパルスを出力する。従って、インバータ4'6が outputする選択信号DMCSのパルス幅を通常ワード線の駆動波形とは独立して任意の幅に設定することができる。

【0065】以上の実施の形態では、ダミーメモリセルとダミービット線対を有するダミー系回路を利用して、センスアンプ起動信号を最適のタイミングで生成するセルフタイミング回路を説明した。しかし、本発明は、それに限定されず、ダミー系回路を利用して、他の制御信号、例えばビット線イコライズ信号EQBやセンスアンプ出力のイコライズ信号EQ、または出力ラッチ回路のアウトプットイネーブル信号OE等を生成してもよい。

【0066】更に、上記の実施の形態では、クロック同期型のSRAMと本発明を適用した例を説明したが、本発明は、クロック非同期型のSRAMにも適用することができる。クロック非同期型SRAMの場合は、外部からクロックが供給されないが、外部から供給されるアドレスの変化を検出するATD回路を設け、そのATD回路により新たな読み出し動作の開始を検出したタイミングで、内部回路の動作が開始され、内部回路のさまざまなタイミング信号が生成される。従って、図3、4において、タイミング制御回路/デコーダ回路14内には、上記のアドレスの変化を検出する検出回路が内蔵され、検出回路の出力が、クロックと同様の機能を有する。また、書き込み動作の場合は、ライトイネーブル信号が活性化されてライトデータが入力された時に、書き込み動作が開始される。それ以外のダミー回路によるセルフタイミング回路の構成は、クロック同期型の例と同じである。

【0067】以上の実施の形態例によれば、実際に駆動される通常ワード線により、複数のダミーメモリセルを同時に選択することができるので、消費電力が少なく、通常のビット線の動作に合わせた最適なタイミングで制

御信号を生成することができる。

【0068】以上、実施の形態例をまとめると以下の付記の通りである。

【0069】(付記1)ワード線とビット線との交差位置に配置されたメモリセルを有するメモリセルアレイと、前記ビット線の電圧を増幅するセンスアンプと、前記ワード線が選択される時に選択されるダミーメモリセルと、該ダミーメモリセルに接続されたダミービット線と、前記ダミービット線の電位変化に応答してタイミング制御信号を生成するタイミング信号生成回路と、複数の前記ワード線を有するワード線群を入力とし、前記ワード線群内の少なくとも1つのワード線の選択に応答して、該ワード線群に共通の前記ダミーメモリセルを選択するダミーメモリセル選択回路とを有することを特徴とするスタティックRAM。

【0070】(付記2)付記1において、外部からクロックが供給され、前記クロックに同期してアドレスが供給されることを特徴とするスタティックRAM。

【0071】(付記3)付記1において、前記タイミング制御信号は、前記センスアンプを起動するセンスアンプ起動信号を含むことを特徴とするスタティックRAM。

【0072】(付記4)付記1において、前記ダミーメモリセルは、メモリセルアレイ内のメモリセルと同じビッチで設けられ、複数の前記ダミーメモリセルによりダミーセルユニットが構成され、前記ダミーメモリセル選択回路は、前記ダミーセルユニット内の複数のダミーメモリセルを同時に選択することを特徴とするスタティックRAM。

【0073】(付記5)付記4において、前記ダミーメモリセルは、ダミービット線に沿って配置され、前記ダミーセルユニット内の複数のダミーメモリセルが同時に選択されることにより、ダミービット線を並列に駆動することを特徴とするスタティックRAM。

【0074】(付記6)付記1において、前記メモリセルアレイは、複数のワード線群を有し、前記ワード線群それぞれに対応して、ダミーメモリセル選択回路とダミーセルユニットとが設けられることを特徴とするスタティックRAM。

【0075】(付記7)付記1または4において、前記ダミーメモリセルは、2つのインバータを交差接続したラッチ回路を有し、当該ラッチ回路の1対のノードの一方が、高レベルまたは低レベルの電源に接続されていることを特徴とするスタティックRAM。

【0076】(付記8)付記7において、前記ダミーセルユニット内の複数のダミーメモリセルが同時に選択され、ダミービット線を並列に駆動することを特徴とするスタティックRAM。

【0077】(付記9)付記1において、前記ダミーメモリセル選択回路と前記ダミーメモリセルとの間に、前記ダミーセルユニットに属するダミーメモリセルの個数

を可変設定するダミーセルユニット設定回路が設けられることを特徴とするスタティックRAM。

【0078】(付記10)付記9において、前記ダミーセルユニット設定回路は、前記ダミーメモリセル選択回路が出力するダミーメモリセル選択信号を前記ダミーメモリセルに伝播または非伝播するスイッチ群と、前記スイッチ群の一部または全部を伝播状態にするスイッチ設定回路とを有することを特徴とするスタティックRAM。

【0079】(付記11)ワード線とビット線との交差位置に配置されたメモリセルを有するメモリセルアレイと、センスアンプ起動信号に応答して、前記ビット線の電圧を増幅するセンスアンプと、前記メモリセルアレイに並んでビット線方向に配置された複数のダミーメモリセルと、該複数のダミーメモリセルに並列に接続されたダミービット線と、前記ダミービット線の電位変化に応答して前記センスアンプ起動信号を生成するタイミング信号生成回路と、前記ワード線の選択に応答して、複数の前記ダミーメモリセルを同時に選択するダミーメモリセル選択回路とを有することを特徴とするスタティックRAM。

【0080】(付記12)付記11において、外部からクロックが供給され、前記クロックに同期してアドレスが供給され、動作サイクルが前記クロックにより制御されることを特徴とするスタティックRAM。

【0081】(付記13)付記11において、前記メモリセル内のワード線が、複数のワード線を有するワード線群に分割され、当該ワード線群それぞれに対して、前記ダミーメモリセル選択回路が設けられていることを特徴とするスタティックRAM。

【0082】(付記14)付記13において、前記同時に選択される複数のダミーメモリセルでダミーセルユニットが構成され、前記ダミーセルユニットが前記ワード線群それぞれに設けられ、前記ダミーセルユニットが前記ダミーメモリセル選択回路により選択されることを特徴とするスタティックRAM。

【0083】(付記15)付記11において、前記ダミーメモリセルは、2つのインバータを交差接続したラッチ回路を有し、当該ラッチ回路の1対のノードの一方が、高レベルまたは低レベルの電源に接続されていることを特徴とするスタティックRAM。

【発明の効果】以上、本発明によれば、タイミング制御信号を生成するダミー系回路のダミーメモリセルが通常のワード線により駆動されるので、消費電力の増大を抑えることができる。また、複数のワード線に対応してダミーメモリセルを設けているので、同時に選択されるダミーメモリセルを複数個にすることができる、ダミービット線の駆動を高速化できる。それに伴い、最適のタイミングで制御信号を生成することができる。

【図1】ダミー回路を利用した従来のSRAMの構成図である。

【図2】別のダミー回路を利用した従来のSRAMの構成図である。

【図3】第1の実施の形態例におけるSRAMの構成図である。

【図4】第2の実施の形態例におけるSRAMの構成図である。

【図5】第1及び第2の実施の形態例のSRAMにおける動作タイミングチャート図である。

【図6】実施の形態例におけるダミーメモリセルの回路図である。

【図7】本実施の形態例におけるダミーメモリセルと通常のメモリセルとを示す回路図である。

【図8】第2の実施の形態例における変形例を説明する図である。

【図9】第2の実施の形態例におけるダミーメモリセル*

*選択回路の回路図である。

【図10】第2の実施の形態例におけるダミーメモリセル選択回路の回路図である。

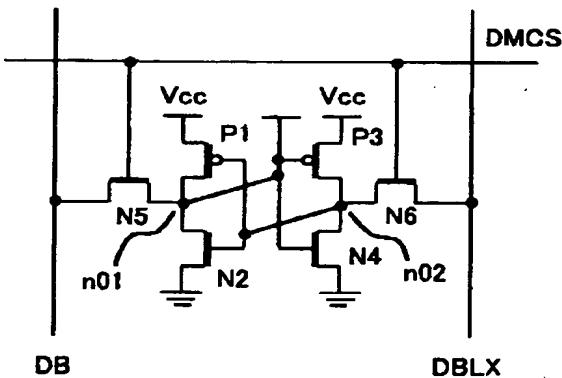
【図11】第2の実施の形態例におけるダミーメモリセル選択回路の回路図である。

【符号の説明】

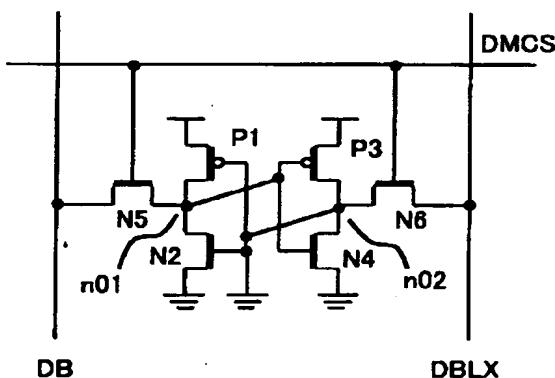
MC	メモリセル
WL	ワード線
BL, BLX	ピット線, ピット線対
10 DMC	ダミーメモリセル
DBL, DBLX	ダミーピット線, ダミーピット線対
SE	センスアンプ起動信号
10	メモリセルアレイ
20	センスアンプ
30	タイミング制御信号発生回路
32	ダミーメモリセル選択回路

【図6】

(A)

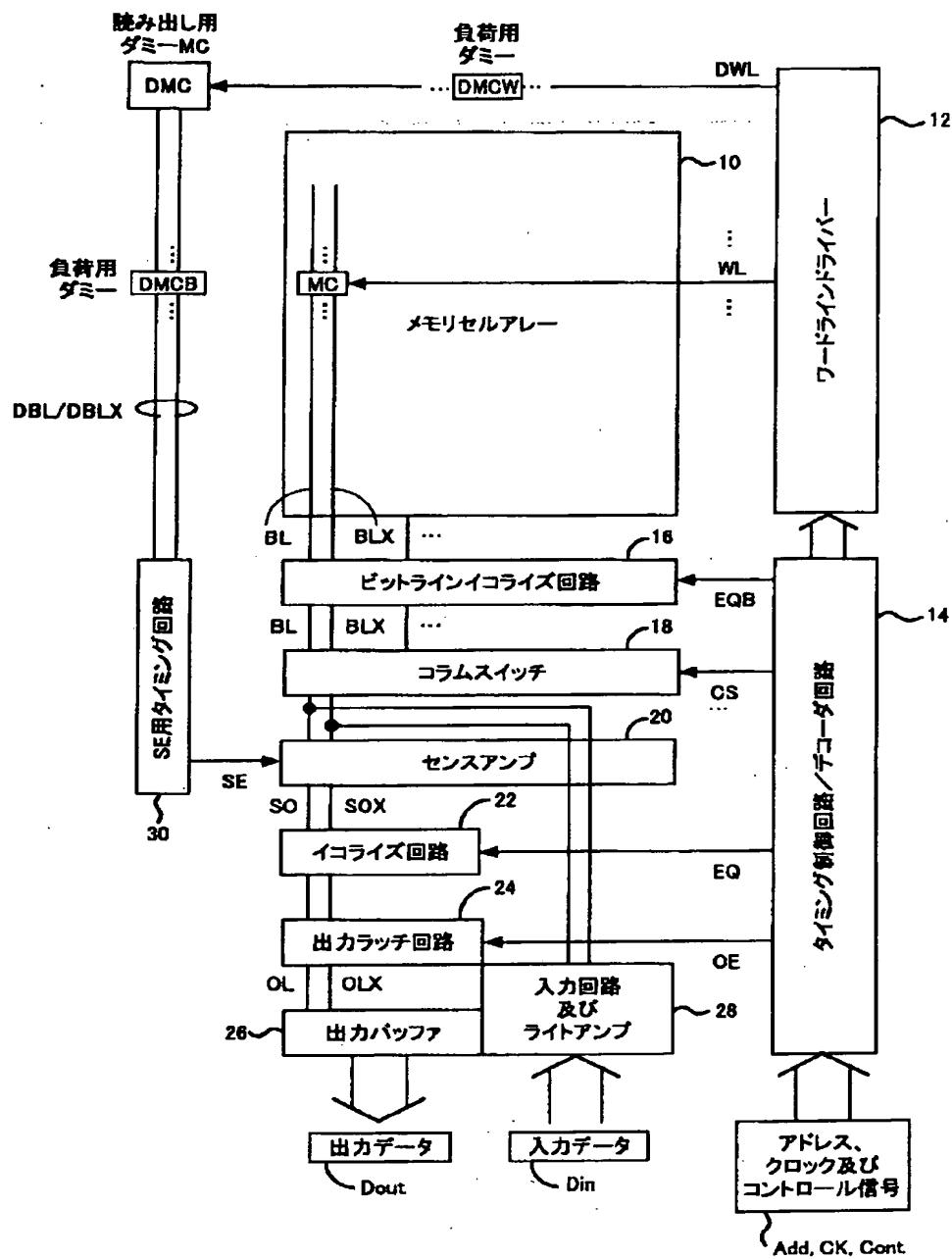


(B)



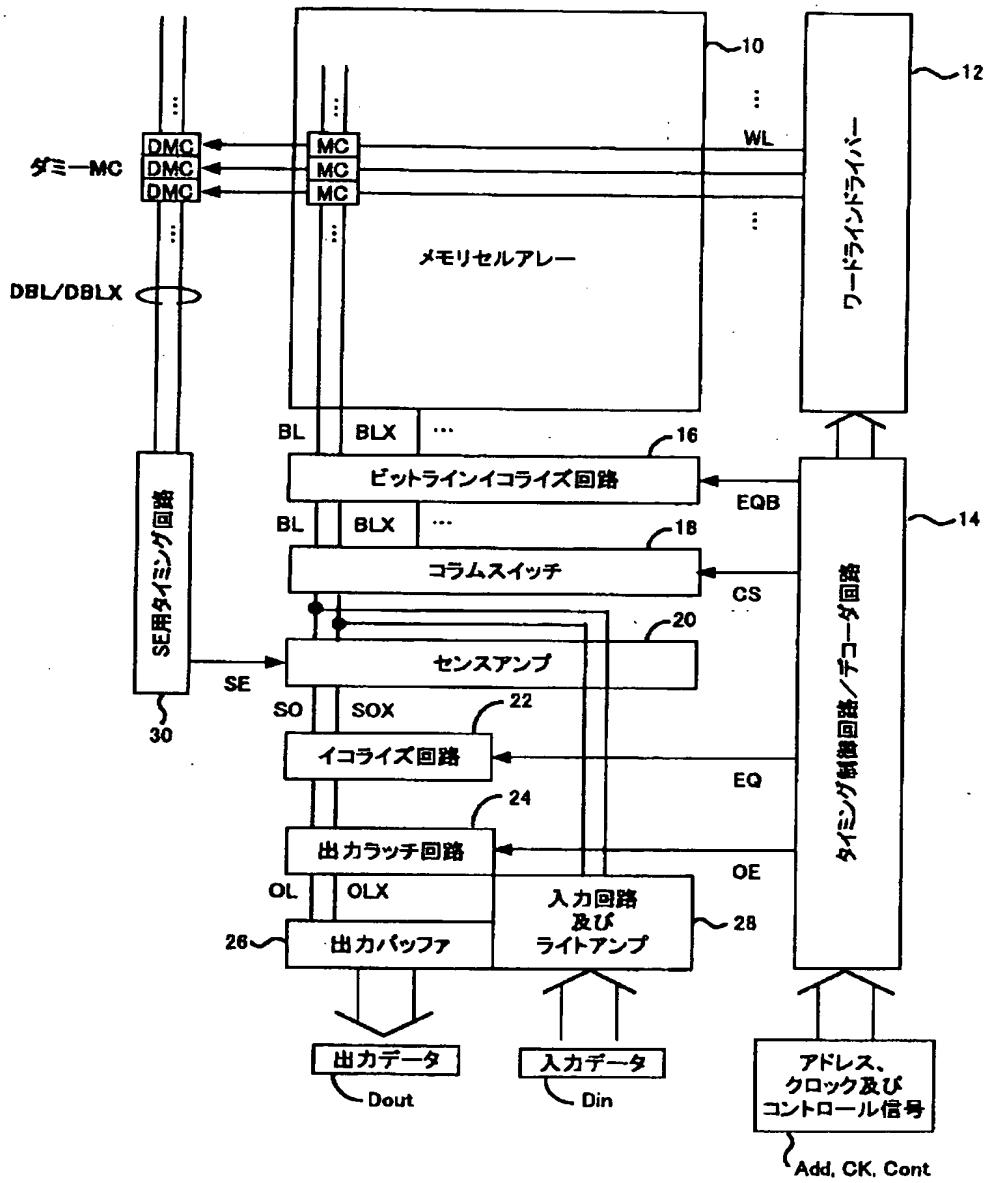
【図1】

従来例



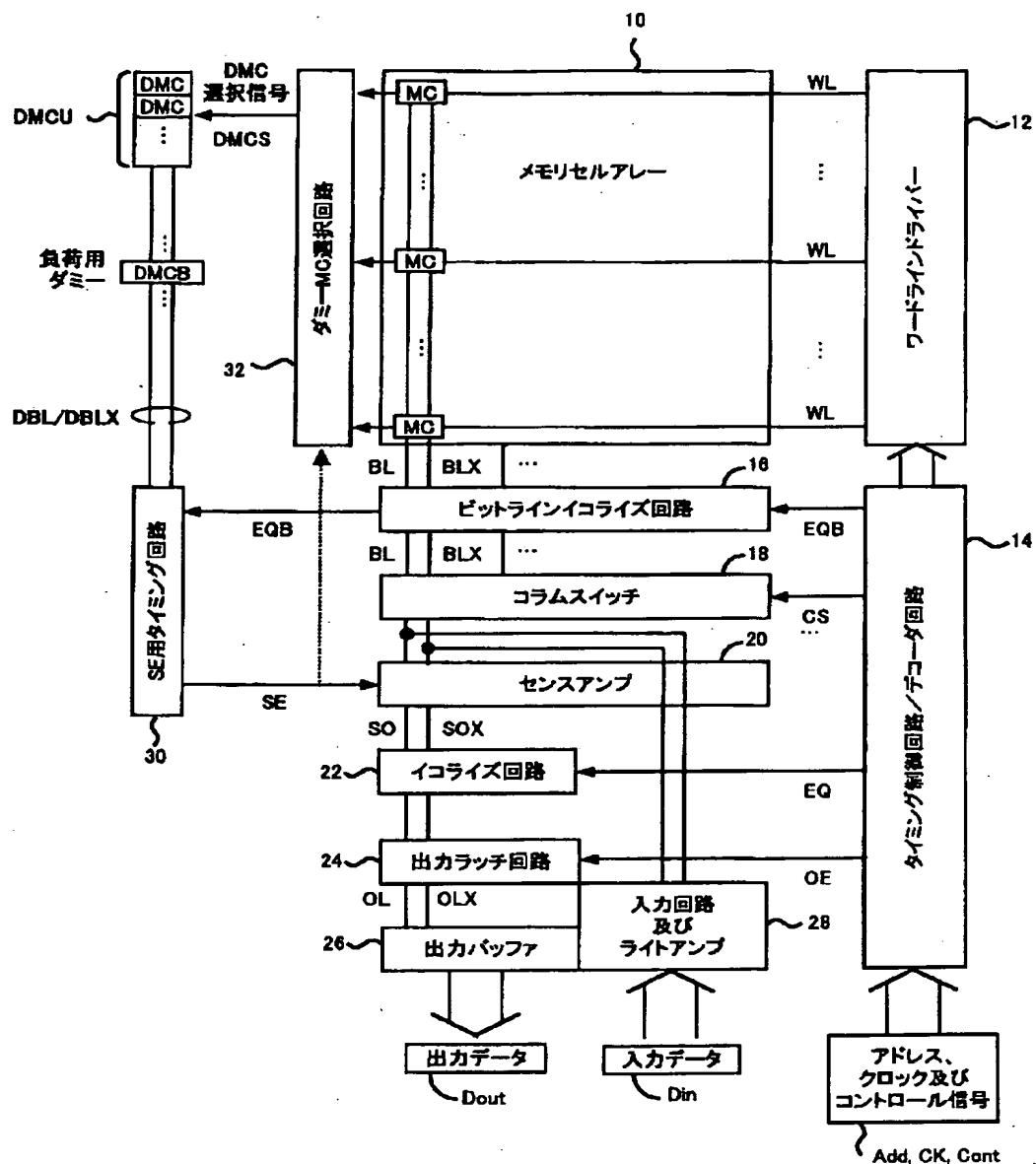
【図2】

従来例



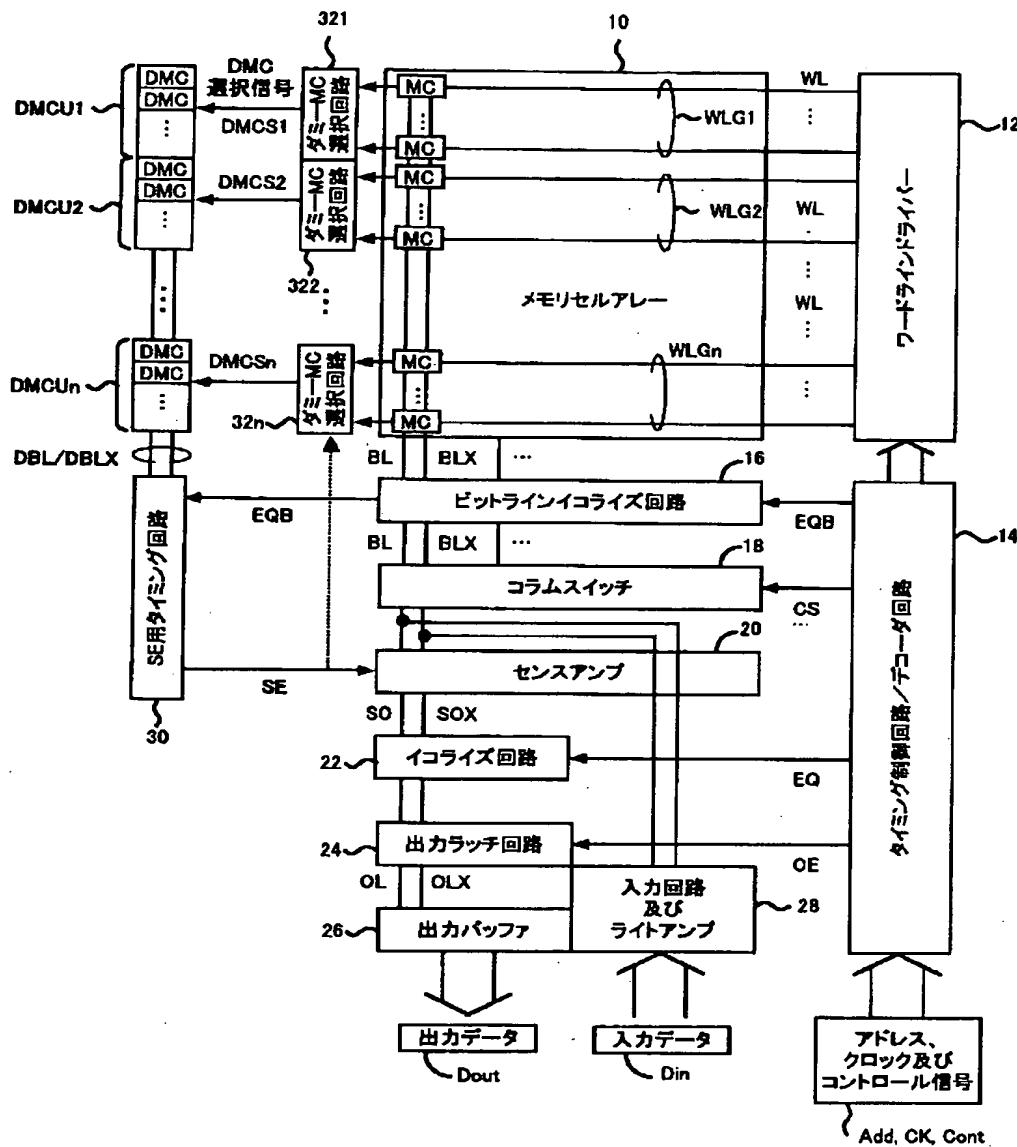
【図3】

第1の実施の形態例

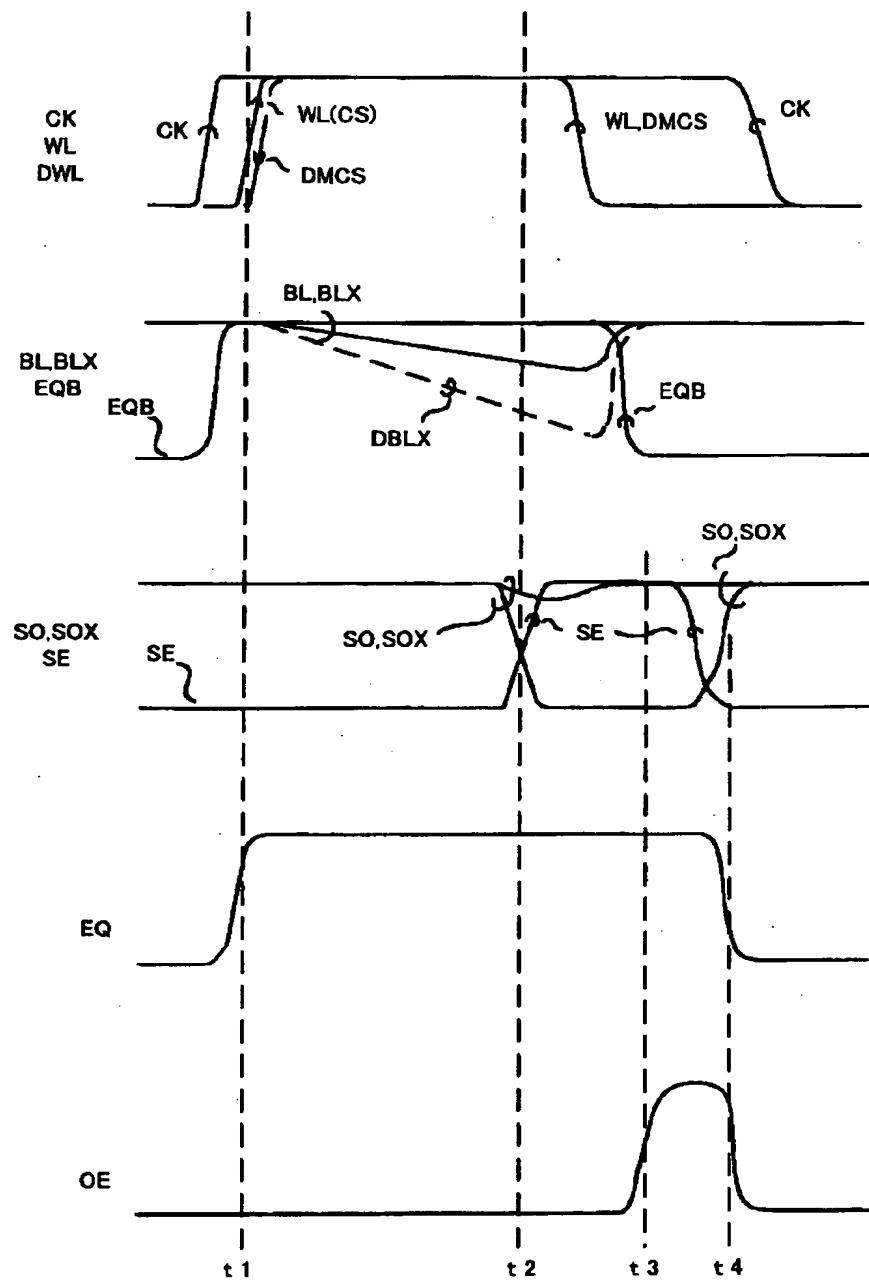


【図4】

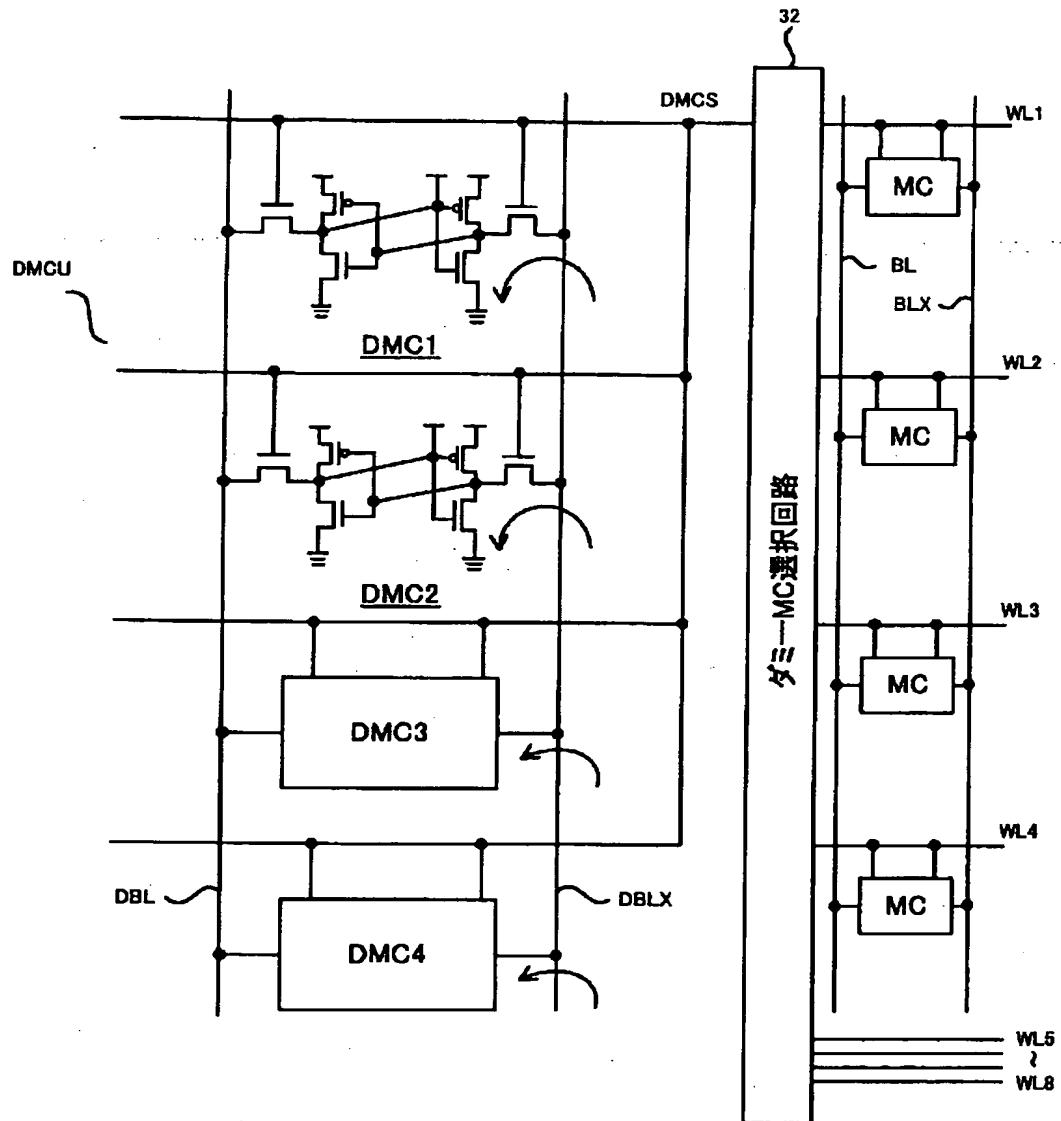
第2の実施の形態例



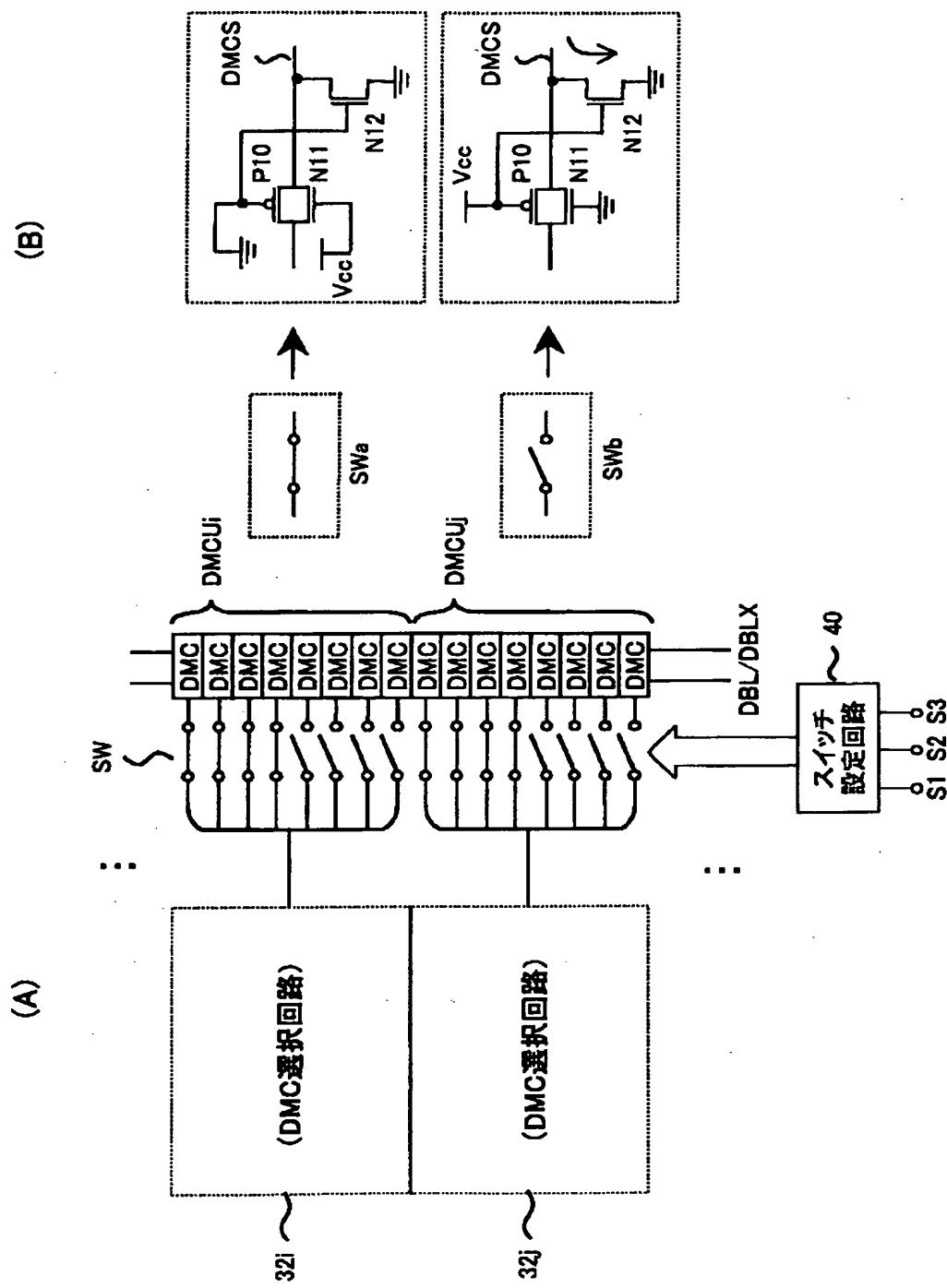
【図5】



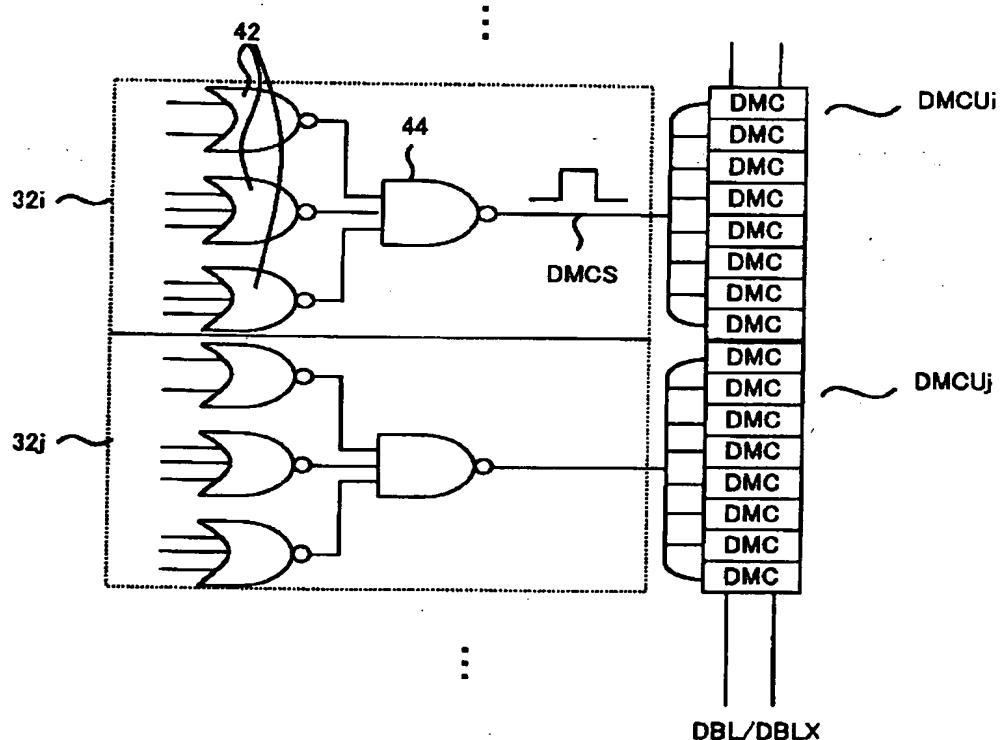
【図7】



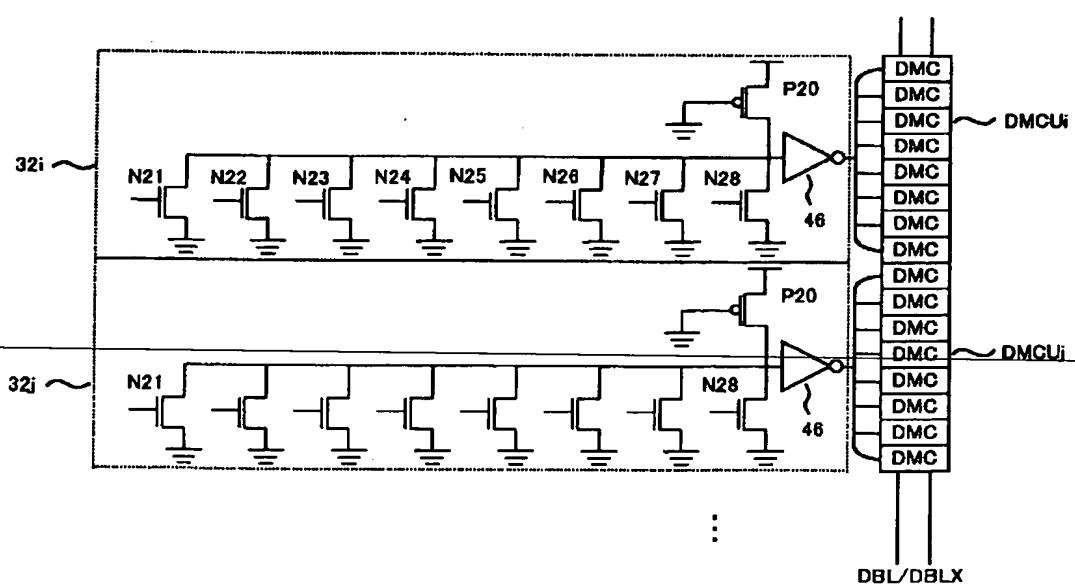
【図8】



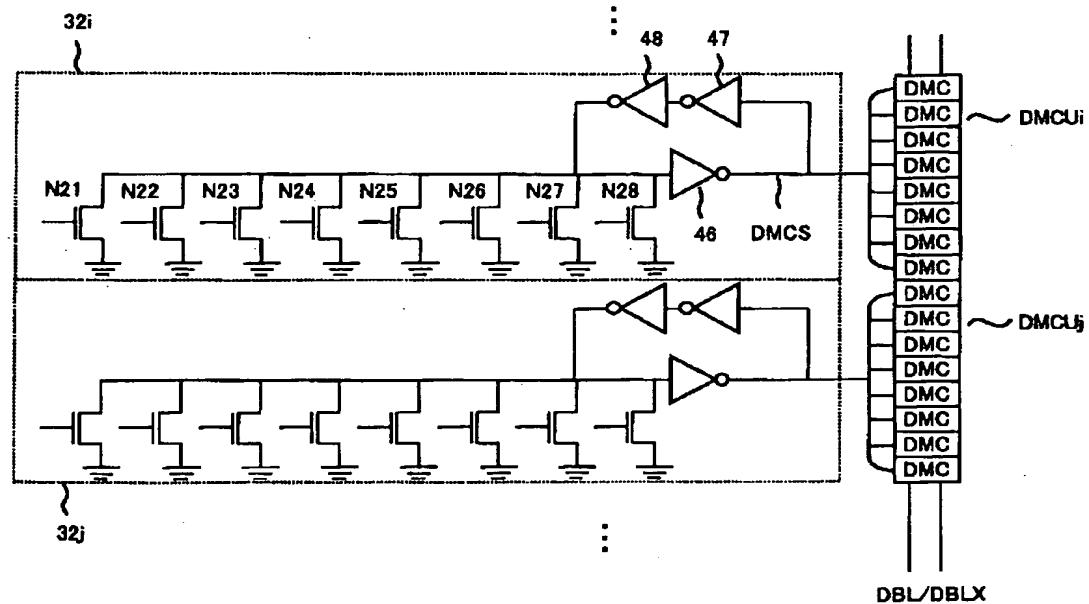
【図9】

ダミーMC選択回路

【図10】



【図11】



THIS PAGE BLANK (USPTO)